

SEE 1223 - Elektronik Digit

Bab 4

Keluarga-keluarga Logik Digital
(Digital Logic Families)

Litar Bersepadu (Integrated Circuit)

Litar Bersepadu (Integrated Circuit)

- ☞ Cip Litar Bersepadu (IC Chip) terbahagi kepada beberapa jenis, berdasarkan bilang get-get di dalamnya -
 - ☞ **SSI (Small Scale Integration)**, mengandungi kurang daripada 12 get-get asas per cip
 - ☞ **MSI (Medium Scale Integration)**, mengandungi 12 ☞ 99 get-get asas per cip
 - ☞ **LSI (Large Scale Integration)**, mengandungi 100 ☞ 9999 get-get asas per cip
 - ☞ **VLSI (Very Large Scale Integration)** mengandungi 10,000 ☞ 99,999 get-get asas per cip
 - ☞ **ULSI (Ultra Large Scale Integration)**, mengandungi lebih 100,000 get-get asas per cip

Keluarga I.C.

- ☞ Keluarga Litar Bersepadu (IC Chip) yang utama terbahagi kepada 2 iaitu :-
 - ☞ Bipolar Junction Transistor (BJT)
 - ☞ TTL ▶ Commonly used
 - ☞ ECL
 - ☞ Metal Oxide Semiconductor (MOS) – drp FET
 - ☞ PMOS
 - ☞ NMOS
 - ☞ CMOS ▶ Commonly used

Keluarga I.C.

- ☞ TTL wujud daripada gabungan beberapa BJT
- ☞ CMOS wujud daripada gabungan NMOS dan PMOS.

```

    graph TD
      BJT[BJT] --> TTL[TTL]
      MOSFET["MOSFET (NMOS, PMOS)"] --> CMOS[CMOS]
      subgraph transistor_types [transistor types]
        BJT
        MOSFET
      end
      subgraph logic_gate_families [logic gate families]
        TTL
        CMOS
      end
  
```

TTL & CMOS

- ☞ TTL (transistor-transistor logic) – yang merujuk kepada penggunaan BJT dalam pembinaannya
- ☞ Ada beberapa jenis TTL iaitu; *standard TTL, low-power TTL, Schottky TTL, low-power Schottky TTL, advanced low-power Schottky TTL*
- ☞ CMOS (complementary metal oxide semiconductor) – merujuk kepada penggunaan PMOS dan NMOS dalam pembinaannya
- ☞ Sesuatu cip yang dibina dengan menggunakan TTL dan CMOS akan menjalankan fungsi dan operasi yang sama. Yang membezakannya hanyalah ciri prestasinya (performance characteristic).

TTL& CMOS

- ⚡ TTL tersebut dapat dibezakan antara satu dengan yang lain berdasarkan kepada ciri-ciri prestasinya iaitu dari segi:
 - ⚡ Masa lengah perambatan (*Propagation delay time*)
 - ⚡ Pelepasan kuasa (*Power dissipation*)
 - ⚡ Rebak-keluar (*Fan-out*)
 - ⚡ Jidar hingar (*Noise margin*)

Ciri Elektrik

- ⚡ **Ciri penting bagi TTL dan CMOS:**
 - ⚡ V_{OHmin} nilai min 'output' untuk dikenalpasti sebagai '1'
 - ⚡ V_{IHmin} nilai min 'input' untuk dikenalpasti sebagai '1'
 - ⚡ V_{ILmax} nilai max 'input' untuk dikenalpasti sebagai '0'
 - ⚡ V_{OLmax} nilai max 'output' untuk dikenalpasti sebagai '0'
- ⚡ Nilai luar daripada julat adalah tidak dibenarkan.

The diagram shows a vertical scale of voltage levels. From top to bottom, the levels are labeled: logic 1, logic 1, indeterminate input voltage, logic 0, and logic 0. Arrows from the text point to these levels: V_{OHmin} and V_{IHmin} point to the top 'logic 1' level; V_{ILmax} and V_{OLmax} point to the bottom 'logic 0' level. The 'indeterminate input voltage' level is shown as a shaded area between the two logic levels.

Jidar Hingar (Noise Margin)

- ⚡ Merupakan suatu ukuran untuk menentukan kelalian terhadap hingar (noise immunity).
- ⚡ Hingar boleh menyebabkan voltan masukan atau keluaran bagi get, melebihi nilai voltan V_{ILmax} atau kurang daripada voltan V_{IHmin} . Ini mengganggu isyarat digital yang diproses.
- ⚡ Ada dua jenis pengukuran jidar hingar:-
 - ⚡ High -level noise (V_{NH})

$$V_{NH} = V_{OHmin} - V_{IHmin}$$
 - ⚡ Low-level noise-margin (V_{NL})

$$V_{NL} = V_{ILmin} - V_{OLmin}$$

Lesapan Kuasa

- ⚡ Menunjukkan nilai kuasa yang hilang semasa get beroperasi
- ⚡ Semasa output get TINGGI (logik '1'), arus yang melaluinya adalah I_{CCH} , dan semasa output get adalah RENDAH (logik '0') arus melaluinya adalah I_{CCL} .
- ⚡ Cthnya, jika output suatu get kekal pada logik '1', dimana bekalan voltan $V_{CC} = +5V$, dan arus $I_{CCH} = 1.5mA$, maka lesapan kuasa adalah

$$P_D = V_{CC} I_{CCH} = (5)(1.5m) = \mathbf{7.5mW}$$
- ⚡ Jika output get berubah antara '1' dan '0', dan kitar kerja adalah 50%, maka arus dinyatakan sebagai arus purata iaitu

$$I_{CC} = (I_{CCH} + I_{CCL})/2$$
 dan lesapan kuasa $P_D = V_{CC} I_{CC}$

Lengah Perambatan

- ⚡ Perbezaan masa antara gelombang masukan dan gelombang keluaran
- ⚡ Sangat penting apabila mereka litar yang beroperasi pada frekuensi yang sangat tinggi.
- ⚡ Dapat dibezakan suatu IC dengan IC yang lain daripada pernyataan 'low speed' dan 'high speed'.
- ⚡ Ada dua jenis iaitu:-
 - ⚡ t_{PHL} : beza antara suatu titik rujukan pada gelombang masukan dengan titik rujukan pada gelombang keluaran, pada masa gelombang keluaran berubah dari logik '1' ke logik '0'
 - ⚡ t_{PLH} : beza antara suatu titik rujukan pada gelombang masukan dengan titik rujukan pada gelombang keluaran, pada masa gelombang keluaran berubah dari logik '0' ke logik '1'

Lengah Perambatan

Rebak-keluar (fan-out)

- ⚡ Ukuran yang menunjukkan berapa banyak get yang boleh disambung pada masukan / keluaran yang dapat dipacu oleh get tersebut. Dalam masa yang sama ia mestilah mengekalkan ciri elektrik (tahap voltan masukan/keluaran) get tersebut supaya berada pada julat yang ditetapkan.
- ⚡ Ia juga menunjukkan keupayaan get tersebut.

Rebak-keluar (fan-out)

TTL - Example SN74LS00

Recommended operating conditions

- ⚡ V_{cc} supply voltage $5V \pm 0.5V$
- ⚡ input voltages $V_{IH} = 2V$
 $V_{IL} = 0.8V$

Electrical Characteristics

- ⚡ output voltage (worst) $V_{OH} = 2.7V$
 $V_{OL} = 0.5V$
- ⚡ Maximum input currents $I_{IH} = 20\mu A$
 $I_{IL} = -0.4mA$
- ⚡ propagation delay $t_{pd} = 15\text{ nS}$
- ⚡ noise margins for a logic 0 = 0.3V
for a logic 1 = 0.7V
- ⚡ Fan-out 20 TTL loads

